

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-025874

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 21/02  
C30B 29/06  
H01L 21/316  
H01L 31/04

(21)Application number : 2000-208870

(71)Applicant : OMI TADAHIRO  
SHIN ETSU HANDOTAI CO LTD

(22)Date of filing : 10.07.2000

(72)Inventor : OMI TADAHIRO  
SUGAWA SHIGETOSHI  
ITO TATSUO  
KANETANI KOICHI

## (54) SINGLE-CRYSTAL WAFER AND SOLAR CELL

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce losses in a single-crystal raw material by providing a single-crystal wafer which can withstand the device process, even if its thickness is small and to provide an MIS semiconductor device or a solar cell at a low cost by using such a wafer.

SOLUTION: The main face of the single-crystal wafer is a plane, having a tilting angle with respect to the [100] axis of the single crystal of  $\alpha(0^\circ < \alpha < 90^\circ)$  in the [011] direction,  $\beta(0^\circ < \beta < 90^\circ)$  in the [01-1] direction or  $\gamma(0^\circ \leq \gamma < 45^\circ)$  in the [10-1] or [101] direction or is a face which is equivalent to these faces.

## LEGAL STATUS

[Date of request for examination] 30.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-25874

(P2002-25874A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 21/02		H 0 1 L 21/02	B 4 G 0 7 7
C 3 0 B 29/06		C 3 0 B 29/06	C 5 F 0 5 1
H 0 1 L 21/316		H 0 1 L 21/316	A 5 F 0 5 8
31/04		31/04	H

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願2000-208870(P2000-208870)

(22) 出願日 平成12年7月10日 (2000.7.10)

(71) 出願人 000205041

大見 忠弘

宮城県仙台市青葉区米ヶ袋 2-1-17-301

(71) 出願人 000190149

信越半導体株式会社

東京都千代田区丸の内 1 丁目 4 番 2 号

(72) 発明者 大見 忠弘

宮城県仙台市青葉区米ヶ袋 2 の 1 の 17 の 301

(74) 代理人 100102532

弁理士 好宮 幹夫

最終頁に続く

(54) 【発明の名称】 単結晶ウエーハおよび太陽電池セル

(57) 【要約】

【課題】 ウエーハ厚さが薄くてもデバイスプロセスに耐え得る単結晶ウエーハを提供することにより単結晶原料ロスを低減する。また、このようなウエーハを利用することにより M I S 型半導体装置あるいは太陽電池セルを低コストで提供する。

【解決手段】 単結晶ウエーハの主表面が、単結晶の  $[100]$  軸に対し、 $[011]$  方向に  $\alpha$  ( $0^\circ < \alpha < 90^\circ$ )、 $[01-1]$  方向に  $\beta$  ( $0^\circ < \beta < 90^\circ$ )、 $[10-1]$  方向または  $[101]$  方向に  $\gamma$  ( $0^\circ \leq \gamma < 45^\circ$ ) の傾斜角度を有する面または該面と等価な面である単結晶ウエーハ。

## 【特許請求の範囲】

【請求項1】 単結晶ウエーハの主表面が、単結晶の[100]軸に対し、[011]方向に $\alpha$  ( $0^\circ < \alpha < 90^\circ$ )、[01-1]方向に $\beta$  ( $0^\circ < \beta < 90^\circ$ )、[10-1]方向または[101]方向に $\gamma$  ( $0^\circ \leq \gamma < 45^\circ$ )の傾斜角度を有する面または該面と等価な面であることを特徴とする単結晶ウエーハ。

【請求項2】 前記単結晶ウエーハが半導体シリコンからなることを特徴とする請求項1に記載された単結晶ウエーハ。

【請求項3】 請求項1または請求項2に記載された単結晶ウエーハであって、ウエーハの厚さ( $\mu\text{m}$ )／ウエーハの直径( $\text{mm}$ ) $\leq 3$ であることを特徴とする単結晶ウエーハ。

【請求項4】 請求項2または請求項3に記載された単結晶ウエーハの表面に絶縁膜を形成したものであることを特徴とする単結晶ウエーハ。

【請求項5】 前記絶縁膜が $\text{K}_2\text{O}$ を含有するシリコン酸化膜であることを特徴とする請求項4に記載された単結晶ウエーハ。

【請求項6】 前記絶縁膜が $\text{Al}_2\text{O}_3$ または $\text{K}_2\text{O}$ 、および水素を含有するシリコン窒化膜であることを特徴とする請求項4に記載された単結晶ウエーハ。

【請求項7】 請求項1ないし請求項6のいずれか1項に記載された単結晶ウエーハを用いて作製された太陽電池セル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、デバイスプロセスに用いられる単結晶ウエーハの厚さを従来に比べて薄くすることのできるウエーハに関し、さらに、そのウエーハを用いたMIS型半導体装置、および太陽電池セルに関する。

## 【0002】

【従来の技術】シリコン(Si)やガリウム砒素(GaAs)に代表される単結晶ウエーハは、チョクラスキー法(CZ法)やフローティングゾーン法(FZ法)により作製された単結晶棒(インゴット)をウエーハ状にスライスすることによって得られる。従って、スライスされるウエーハの厚さをできる限り薄くしたり、スライスによる加工しりを少なくすることによって、1本のインゴットから製品ウエーハをより多く得ることが望まれる。すなわち、ウエーハの厚さやウエーハ製造プロセスの加工ロス低減することにより原料の無駄をなくし、製造コストを下げるという課題は従来から広く認識されていた。

【0003】しかしながら、単にウエーハの厚さを薄くするとウエーハ製造プロセスやデバイス製造プロセス中にワレやカケが発生しやすくなるため、ある程度の厚さ(例えば、直径200mmのシリコンウエーハの場合7

00~800 $\mu\text{m}$ 程度)は必要とされている。また、スライスによる加工しりを少なくすることはスライス装置上の制限があるため限界があった。

【0004】また、原料のロスはウエーハ製造プロセスのみで生ずるだけでなく、デバイス製造プロセスにおいても生じる。最終的にチップとして実装されるウエーハの厚さは100~200 $\mu\text{m}$ 程度であるため、ウエーハの裏面から減厚加工する工程(バックラップ)があり、ここでも原料が無駄に消費されていた。

10 【0005】一方、主としてシリコン単結晶ウエーハを用いて作製されるMIS(金属／絶縁膜／シリコン)型トランジスタのゲート絶縁膜には、低リーク電流特性、低界面準位密度、高キャリア注入耐性などの高性能電気特性、高信頼性が要求される。これらの要求を満たすゲート絶縁膜形成技術として、従来は、酸素分子や水分子を使用した800℃以上の熱酸化技術が用いられてきた。この熱酸化技術を使用して、良好な酸化膜／シリコン界面特性、酸化膜の耐圧特性、リーク電流特性が得られるのは、従来、表面が{100}面からなるシリコンウエーハまたは単結晶の{100}面から4°程度傾けた面方位を有するシリコンウエーハを用いたときであった。

20 【0006】それ以外の他の面方位からなるシリコンウエーハに熱酸化技術を使用したゲート酸化膜を形成すると、酸化膜／シリコン界面の界面準位密度が高く、また酸化膜の耐圧特性、リーク電流特性が悪いなど電気的特性が劣ってしまっていた。従って、MIS型トランジスタ等の半導体装置が形成されるシリコンウエーハは従来その表面が{100}面であるウエーハか、単結晶の{100}面から4°程度傾けた面方位を有するウエーハが使用されていた。

30 【0007】ところが、表面が{100}面からなるシリコンウエーハは、劈開面である{110}面が表面に対して垂直方向に現れるために、プロセス中に割れ、カケ、スリップ転位等が発生しやすい。そのため、{100}面からなるシリコンウエーハのウエーハ厚さは、直径200mmでは700~800 $\mu\text{m}$ 、直径150mmでは600~700 $\mu\text{m}$ 程度のものが用いられるのが通常であり、単結晶の{100}面から4°程度傾けた面方位を有するウエーハについても同様であった。

40 【0008】近年、シリコンウエーハの表面の面方位に依存することなく、良質な絶縁膜を形成する手法が開発された(2000 Symposium on VLSI Technology, Honolulu, Hawaii, June 13th-15th, 2000 "Advantage of Radical Oxidation for Improving Reliability of Ultra-Thin Gate Oxide"参照)。従って、このような手法によれば、MIS型半導体デバイスを作製するウエーハの面方位を{100}面に限定する必要がなくなったと言える。

## 【0009】

50 【発明が解決しようとする課題】そこで本発明は、この

面方位に依存することなく良質な絶縁膜を形成する手法を有効に活用するため、面方位とウェーハの割れやすさとの関係から、従来に比べてウェーハ厚さが薄くても、従来と同等にデバイスプロセスに耐え得る単結晶ウェーハを提供することにより、単結晶のロスを低減することを目的とする。また、このような割れにくい面方位をもつシリコンウェーハを利用することにより、MIS型半導体装置、あるいは、製造コストを低減することが大きな課題とされている太陽電池セルを、低コストで提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決する本発明は、単結晶ウェーハの主表面が、単結晶の $[100]$ 軸に対し、 $[011]$ 方向に $\alpha$  ( $0^\circ < \alpha < 90^\circ$ )、 $[01-1]$ 方向に $\beta$  ( $0^\circ < \beta < 90^\circ$ )、 $[10-1]$ 方向または $[101]$ 方向に $\gamma$  ( $0^\circ \leq \gamma < 45^\circ$ )の傾斜角度を有する面または該面と等価な面であることを特徴とする単結晶ウェーハである（請求項1）。

【0011】このような単結晶ウェーハの表面は、劈開しやすい全ての $\{110\}$ 面から傾いた面方位となるので、従来の $\{100\}$ 面の単結晶ウェーハに比べて外部からの応力に対して割れにくくなる。従って、従来よりも厚さが薄いウェーハを作製することができるため、1本の単結晶インゴットから作製可能なウェーハ枚数が増加し、製造コスト低減が可能となる。

【0012】この場合、単結晶ウェーハが半導体シリコンからなるものとすることができる（請求項2）。このように、単結晶ウェーハが半導体シリコンであれば、現在最も汎用されている半導体であるので、製造コストの低減による効果は非常に大きいものとなる。

【0013】この場合、ウェーハの厚さ（ $\mu\text{m}$ ）／ウェーハの直径（ $\text{mm}$ ） $\leq 3$ であるものとすることができる（請求項3）。このように、本発明の単結晶ウェーハは機械的強度に優れたものとなるため、従来は実現できなかった、ウェーハの厚さ（ $\mu\text{m}$ ）／ウェーハの直径（ $\text{mm}$ ） $\leq 3$ といったウェーハの直径に対するウェーハ厚が極めて薄いウェーハとすることができる。したがって、製造コストの低減による効果はより大きなものとなる。

【0014】この場合、単結晶ウェーハの表面に絶縁膜を形成したものとすることが好ましい（請求項4）。このように、本発明のシリコン単結晶ウェーハを用いて少なくとも一方の表面に絶縁膜を形成すれば、ウェーハの劈開を抑制することができる。絶縁膜がウェーハ全面に形成されている方が劈開抑制効果は高い。また、このようなウェーハを用いて、例えばMIS半導体装置を作製することができ、薄くて割れにくいウェーハ上に、低コストでデバイスを作製することができる。

【0015】この場合、前記絶縁膜がKrを含有するシリコン酸化膜（請求項5）、あるいは前記絶縁膜がArまたはKr、および水素を含有するシリコン窒化膜であ

るものとすることが好ましい（請求項6）。このように、絶縁膜がKrを含有するシリコン酸化膜あるいは、ArまたはKr、および水素を含有するシリコン窒化膜であれば、面方位に依存することなく、良好な絶縁膜が得られる。

【0016】さらに、このような本発明の単結晶ウェーハを用いて太陽電池セルを作製することができる（請求項7）。太陽電池はその製造コストの高さのためにあまり普及していないので、従来より強度が高く、薄いシリコン単結晶ウェーハの加工が可能になる本発明のウェーハを用いれば、太陽電池の製造コストの低下を図ることができ、その効果は大きい。

【0017】以下、本発明をさらに詳細に説明する。本発明者は、前述のように、シリコンウェーハの表面の面方位に依存することなく良質な絶縁膜を形成する手法が開発されたことを受け、これを利用するため、ウェーハの面方位と割れやすさとの関係に着目した。すなわち、デバイス特性上ウェーハの面方位を限定する理由がなくなったので、できるだけ強度の高い面方位を選択することにより、従来より厚さが薄いウェーハを作製したとしても、ウェーハの割れ、カケの発生が従来と同等レベルのものが得られ、結果として、1本のインゴットから得られるウェーハ枚数を増加させることができることを発想した。

【0018】ところで、デバイスが作製されるシリコンウェーハの面方位としては、古くから $\{100\}$ 面や $\{111\}$ 面のような低指数が用いられる一方で、この面方位から傾斜した面方位のウェーハも用いられていた。例えば、特開昭56-109896号、特公平3-61634号、特開平8-26891号公報に記載された発明は、 $\{100\}$ 面または $\{111\}$ 面から一つの $\{110\}$ 面について数度傾斜した面を使用することが記載されている。しかしながら、これは一つの $\{110\}$ 面についてのみ傾斜したものであり、割れにくいウェーハとは言い難い。また上記の技術は、プロセス誘起結晶欠陥の発生防止やエピタキシャル成長時の欠陥の発生防止に関するものであった。

【0019】一方、面方位とウェーハの割れやすさとの関係に関し、特開平9-262825号では、ワイヤソーで単結晶を切断する際、ソーマークと劈開方向が合致すると割れやすいことが記載されている。しかし、ここで考慮されている劈開面は、 $\{100\}$ 面に直交する $\{110\}$ 面のみであり、 $\{100\}$ 面と $45^\circ$ の角度を有する $\{110\}$ 面については全く配慮されておらず、切り出されるウェーハも $\{100\}$ 面等の低指数面からなるウェーハのみであった。

【0020】本発明者は、割れにくいウェーハを作製するためには $\{100\}$ 面に直交する $\{110\}$ 面のみを考慮するだけでは足りず、 $\{100\}$ 面と $45^\circ$ の角度を有する $\{110\}$ 面についても考慮する必要があるこ

10

20

30

40

50

とを発想し、本発明を完成させた。

#### 【0021】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明するが、本発明はこれらに限定されるものではない。図1は、本発明における単結晶ウエーハの面方位を説明する図面である。図1中の太線で示された矢印（ベクトル）が、本発明の単結晶ウエーハの面方位（ウエーハ表面の法線方向）を示しており、 $[100]$  軸（X軸）に対し、 $[011]$  方向に  $\alpha$  ( $0^\circ < \alpha < 90^\circ$ )、 $[01-1]$  方向に  $\beta$  ( $0^\circ < \beta < 90^\circ$ )、 $[10-1]$  方向に  $\gamma$  ( $0^\circ \leq \gamma < 45^\circ$ ) の傾斜角度を有している。

【0022】すなわち、この面方位からなる単結晶ウエーハは、劈開面である  $(011)$  面、 $(01-1)$  面、 $(10-1)$  面からそれぞれ角度  $\alpha$ 、 $\beta$ 、 $\gamma$  だけ傾斜した面を有することになり、従来の低指数の面方位のウエーハに比べ、外部からの応力に対する機械的強度が高くなる。

【0023】ここで、 $\alpha = \beta$  の場合には  $\gamma = 0^\circ$  となるため、このような傾斜面のウエーハの断面を  $[010]$  方向から見ると、劈開面である  $(10-1)$  面と  $(101)$  面は、 $(100)$  面に対してそれぞれ  $45^\circ$  を有する左右対称の面となる。従って、結晶の有効ボンド数がどの面方位でも差がないのであれば、 $\gamma = 0^\circ$  が強度としては最も高くなると考えられる。しかしながら、実際の強度は面方位と有効ボンド数の両方で決まると考えられ、有効ボンド数は面方位により差があるため一概に  $\gamma = 0^\circ$  が最適であるとは言えず、 $0^\circ < \gamma < 45^\circ$  の範囲であっても、高い強度が得られる。ちなみに、シリコン単結晶の場合の有効ボンド数は、 $(111)$  面、 $(110)$  面、 $(100)$  面においてそれぞれ、 $11.8 \times 10^{14}$  個/cm<sup>2</sup>、 $9.6 \times 10^{14}$  個/cm<sup>2</sup>、 $6.8 \times 10^{14}$  個/cm<sup>2</sup> であることが知られている。

【0024】また、 $\alpha > \beta$  のときの  $\gamma$  は、図1に示された  $[10-1]$  方向の傾斜角ではなく、 $[101]$  方向の傾斜角を意味する。尚、図1の単結晶ウエーハと等価な面方位としては、結晶の対称性を考慮すると図1のベクトルを  $yz$  平面に  $90^\circ$  ずつ回転した方向に3面存在する。このような特定の傾斜面からなるウエーハを作製するには、通常の条件で作製された単結晶インゴットを所定の角度に傾けてスライスすればよい。シリコン単結晶の場合、通常作製されるインゴットの結晶方位としては、 $\langle 100 \rangle$ 、 $\langle 111 \rangle$  があり、その他、結晶の過剰な変形を引き起こさずに作製可能な結晶方位としては、 $\langle 110 \rangle$  や  $\langle 511 \rangle$  が知られている。また、単結晶を引き上げる際の種結晶として、予め数度程度のオフアングルの付いた種結晶を用いることにより、オフアングル付きの結晶を引き上げることもできるので、このような結晶を用いて、スライス時の方位調整を簡略化することも

できる。

【0025】このような本発明の単結晶ウエーハの表面は、劈開しやすい全ての  $\{110\}$  面から傾いた面方位となるので、従来の  $\{100\}$  面の単結晶ウエーハに比べて外部からの応力に対して割れにくく、厚さが薄いウエーハを作製することができる。

【0026】例えば、単結晶ウエーハを半導体シリコンから作製した場合には、従来の  $\{100\}$  面のシリコン単結晶ウエーハでは、直径200mmのウエーハで厚さが700~800 $\mu$ m程度のもので作製する必要があったのが、本発明の単結晶ウエーハではこれより薄くすることができ、例えば直径200mmのウエーハで厚さが600 $\mu$ m以下のものとすることも可能である。そのため、一本の単結晶インゴットから作製可能なウエーハ枚数が増加し、製造コスト低減が可能となる。

【0027】次に、このような傾斜面（以下、 $(abc)$  面と記載する。）をもつシリコンウエーハを用い、MIS型半導体装置に必要なゲート絶縁膜を形成する方法について説明する。以下のような方法で絶縁膜を形成すれば、確実にゲート絶縁膜の特性が従来に比べて劣らない面方位依存性のない絶縁膜を形成することができる。

【0028】図2は、本発明の単結晶ウエーハに酸化膜を形成するためのラジアルラインスロットアンテナを用いた装置の一例を示す図である。本実施形態においては、酸化膜形成時のためにKrをプラズマ励起ガスとして使用していることに新規な特徴がある。真空容器（処理室）1内を真空にし、シャワープレート2からKrガス、O<sub>2</sub>ガスを導入し、処理室内の圧力を1 Torr（約133Pa）程度に設定する。

【0029】シリコンウエーハ等の円形状の基板3を、加熱機構を持つ試料台4上に置き、試料の温度が400℃になるように設定する。この温度設定は200~550℃程度の範囲内とすることができる。同軸導波管5から、ラジアルラインスロットアンテナ6、誘電体板7を通して、処理室内に、2.45GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成する。また、供給するマイクロ波の周波数は、900MHz以上10GHz以下程度の範囲にあれば、いずれの周波数も選択できる。

【0030】シャワープレート2と基板3の間隔は、本実施形態では6cmにしてある。この間隔は狭いほうがより高速な成膜が可能となる。本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

【0031】KrガスとO<sub>2</sub>ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr\*とO<sub>2</sub>分子が衝突し、原子状酸素O\*が効率よく発生する。この原子状酸素により、基板表面は酸化される。従来のシリ

コン表面の酸化は、 $H_2O$ 分子、 $O_2$ 分子により行われ、処理温度は、 $800^\circ C$ 以上と極めて高いものであったが、本発明の原子状酸素による酸化は、 $550^\circ C$ 以下と十分に低い温度で可能となる。

【0032】 $Kr$ と $O_2$ の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くなると、発生した $O^*$ 同士が衝突し、 $O_2$ 分子に戻ってしまう。本発明者らが処理室内の圧力比を $Kr$ 97%酸素3%に保って、処理室のガス圧を変えたときの、シリコン基板温度 $400^\circ C$ 、10分間の酸化処理により成長する酸化膜厚を測定したところ、処理室のガス圧が1 Torrの時に最も酸化膜は厚くなり、この圧力ないしはその近傍の酸化条件が好ましいことがわかった。この圧力条件は基板シリコンの面方位が(100)面でも(111)面でも変わらず、(abc)面においても同様であることがわかった。

【0033】図3には、 $Kr/O_2$ 高密度プラズマを用いたシリコンウェーハ表面酸化時の、 $Kr$ を含有する酸化膜厚と酸化時間の関係を示す。シリコン基板は面方位(100)面と(111)面及び(abc)面のものを示している。図3には同時に従来の $900^\circ C$ のドライ熱酸化による酸化時間依存性を示している。基板温度 $400^\circ C$ 、処理室内圧力1 Torrにおける $Kr/O_2$ 高密度プラズマ酸化の酸化速度は、基板温度 $900^\circ C$ の大気圧ドライ $O_2$ 酸化の酸化速度より、速いことが明らかである。

【0034】 $Kr/O_2$ 高密度プラズマを用いたシリコン基板表面酸化を導入する事により、表面の酸化技術の生産性も大幅に向上させることができる。従来の高温熱酸化技術では、表面に形成された酸化膜を $O_2$ 分子や $H_2O$ 分子が拡散によって通り抜け、シリコン/シリコン酸化膜の界面に到達して酸化に寄与するため、酸化速度は、 $O_2$ や、 $H_2O$ 分子の酸化膜の拡散速度により律速され、酸化時間 $t$ に対して、 $t^{1/2}$ で増加するのが常識であったが、本発明の $Kr/O_2$ 高密度プラズマ酸化では、酸化膜厚が、35nmまで、酸化速度は直線的である。これは原子状酸素の拡散速度がシリコン酸化膜中で極めて大きく、シリコン酸化膜を自在に通り抜けられることを意味する。

【0035】上記の手順で形成されるシリコン酸化膜中の $Kr$ 密度の深さ方向分布を、全反射蛍光X線分光装置を用いて調べた。 $Kr$ 密度は、酸化膜厚が薄い領域になるほど減少し、シリコン酸化膜表面では $2 \times 10^{11} cm^{-2}$ 程度の密度で $Kr$ が存在する。すなわち、このシリコン膜は膜厚が4nm以上の膜中の $Kr$ 濃度は一定で、シリコン/シリコン酸化膜の界面に向かって、 $Kr$ 濃度は減少している膜である。

【0036】図4は酸化膜の界面準位密度を低周波C-V測定から求めた結果である。シリコン酸化膜の形成は図2に示した装置を用いて、基板温度 $400^\circ C$ で成膜し

た。希ガス中の酸素の分圧は3%、処理室内の圧力は1 Torrに固定した。比較のために、 $900^\circ C$ 酸素100%の雰囲気中で成膜した熱酸化膜の界面準位密度も同時に示す。 $Kr$ ガスを用いて成膜した酸化膜の界面準位密度は、(100)面、(111)面及び(abc)面とも低く、 $900^\circ C$ のドライ酸化雰囲気中で成膜した(100)面に形成した熱酸化膜の界面準位密度と同等である。従って、(abc)面においても同様に界面準位密度の低い良質な酸化膜が得られることがわかる。尚、(111)面に形成した熱酸化膜の界面準位密度はこれらに比べ1桁以上大きい。

【0037】この酸化膜の耐圧特性、リーク特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD (Charge-to-Breakdown)などの電気的特性、信頼性特性に関して、 $Kr/O_2$ 高密度プラズマを用いたシリコン基板表面酸化による酸化膜は、 $900^\circ C$ の熱酸化と同様の良好な特性が得られた。

【0038】上述したように、 $Kr/O_2$ 高密度プラズマにより成長した酸化膜は、 $400^\circ C$ という低温で酸化しているにもかかわらず、面方位に影響されることなく、(abc)面においても、従来の(100)面の高温熱酸化膜と同等ないしはより優れた特性を示している。こうした効果が得られるのは、酸化膜中に $Kr$ が含有されることにも起因している。酸化膜中に $Kr$ が含有されることにより、膜中や $Si/SiO_2$ 界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、シリコン酸化膜の電気的特性が大幅に改善されるためと考えられる。特に、表面密度において $5 \times 10^{11} cm^{-2}$ 以下の $Kr$ を含むことがシリコン酸化膜の電気的特性、信頼性特性の改善に寄与していると考えられる。このゲート酸化膜を使用したMISトランジスタはどの面方位においても良好な特性を示し、(abc)面においても(100)面と同等の特性を得られる。

【0039】なお、本発明の酸化膜を実現するためには、図2の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するための $Kr$ ガスを放出する第1のガス放出手段と、酸素ガスを放出する前記第1のガス放出手段とは異なる第2のガス放出手段をもつ2段シャワープレート型プラズマプロセス装置で形成することも可能である。

【0040】次に、プラズマを用いた低温の窒化膜形成について述べる。窒化膜形成装置は図2に示したものとほとんど同じである。本実施形態においては、窒化膜形成時のために $Ar$ または $Kr$ をプラズマ励起ガスとして使用する。真空容器(処理室)1内を真空にし、シャワープレート2から $Ar$ ガス、 $NH_3$ ガスを導入し、処理室内の圧力を100m Torr程度に設定する。シリコンウェーハ等の円形状の基板3を、加熱機構を持つ試料

台4上に置き、試料の温度が500℃になるように設定する。この温度設定は200-550℃程度の範囲内とすればよい。

【0041】同軸導波管5から、ラジアルラインスロットアンテナ6、誘電体板7を通して、処理室内に、2.45GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成する。また、供給するマイクロ波の周波数は、900MHz以上10GHz以下程度の範囲にあればよい。シャワープレート2と基板3の間隔は、本実施例では6cmにしてある。この間隔は狭いほうがより

高速な成膜が可能となる。

【0042】本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。また、プラズマ励起ガスにArを使用しているが、Krを用いても同様の結果を得ることができる。また、プラズマプロセスガスにNH<sub>3</sub>を用いているが、N<sub>2</sub>とH<sub>2</sub>などの混合ガスを用いても良い。

【0043】ArまたはKrとNH<sub>3</sub>（またはN<sub>2</sub>、H<sub>2</sub>）の混合ガス的高密度励起プラズマ中では、中間励起状態にあるAr\*またはKr\*により、NH\*ラジカルが効率よく発生する。このNH\*ラジカルにより、基板表面は窒化される。このようなシリコン窒化によれば、シリコンの面方位を選ばず、低温で高品質な窒化膜を形成することが可能となる。

【0044】本発明のシリコン窒化膜形成においては、水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中および界面のダングリングボンドがSi-H、N-H結合を形成して終端され、その結果シリコン窒化膜および界面の電子トラップが無くなる。Si-H結合、N-H結合が本発明の窒化膜に存在することはそれぞれ赤外吸収スペクトル、X線光電子分光スペクトルを測定することで確認されている。水素が存在することで、CV特性のヒステリシスも無くなり、シリコン/シリコン窒化膜界面密度も $3 \times 10^{10} \text{ cm}^{-2}$ と低く抑えられる。希ガス（ArまたはKr）とN<sub>2</sub>/H<sub>2</sub>の混合ガスを使用してシリコン窒化膜を形成する場合には水素ガスの分圧を0.5%以上とすることで、膜中の電子や正孔のトラップが急激に減少する。本実施形態のシリコン窒化膜の比誘電率は7.9であり、シリコン酸化膜の約2倍のものが得られた。

【0045】本発明の窒化膜を実現するためには、図2の装置の他に、プラズマを用いた低温の窒化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出手段と、NH<sub>3</sub>（またはN<sub>2</sub>/H<sub>2</sub>ガス）ガスを放出する前記第1のガス放出手段とは異なる第2のガス放出手段をもつ2段シャワープレート型プラズマプロセス装置

で形成することも可能である。

【0046】次に、本発明のような(abc)面をもつシリコンウエーハにより、太陽電池セルを製造する方法について説明する。すでに述べたように、主表面が(abc)面からなるシリコンウエーハはその機械的強度が高い。従って、従来太陽電池用のシリコン単結晶インゴットをスライスしていた厚さ（直径100~150mmで400~600μm程度）よりも薄くスライスすることが可能となり、例えば直径100~150mmで300~450μm、あるいはそれ以下とすることができ

る。従って、その分ウエーハ収率が向上するため、コストダウンが可能となる。

【0047】スライスはワイヤーソーや内周刃により行われるが、スライス時の機械的衝撃により結晶に歪みが生じている。この歪みはウエーハの電気的特性を劣化させ、セルの特性にも影響を与える。従って、この歪み層を除去するため、10~20μm程度の化学エッチングが行われる。このようなエッチングはHFとHNO<sub>3</sub>の混酸によって行われるのが一般的であり、その際、数10枚のウエーハをエッチング用のキャリアに入れ、面内均一にエッチングを行うためにキャリアを回転させながらエッチングが行われる。従って、このようなエッチング工程においてもウエーハ強度が高いことは有利に作用し、たとえ薄いウエーハであっても割れにくい。また、変換効率を上げるためのテクスチャ処理と呼ばれるアルカリによるエッチングも行われる。

【0048】その後、通常用いられるのはp型のシリコンウエーハであるため、これにn型の不純物を拡散することによりpn接合を形成し、電極形成、反射防止膜の形成を経て、太陽電池セルを作製する。

【0049】また、p型ウエーハの表面にn型層、p型層、n型層をエピタキシャル成長により順次形成し、pnpn型のタンデム構造により、20%以上の変換効率と出力電圧1.5Vが達成できる。

【0050】このように、本発明の主表面が(abc)面からなるウエーハは、たとえ厚さを薄くしても十分にデバイスや太陽電池を作製する工程に耐えることができ、これらの著しい製造コストダウンを図ることができる。

【0051】なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【0052】例えば、上記実施形態では、単結晶ウエーハが半導体シリコンからなる場合を例に挙げて説明したが、本発明はこれに限定されるものではなく、シリコン以外の単結晶や化合物半導体についても適用が可能であり、本発明の範囲に含まれるものである。

【0053】

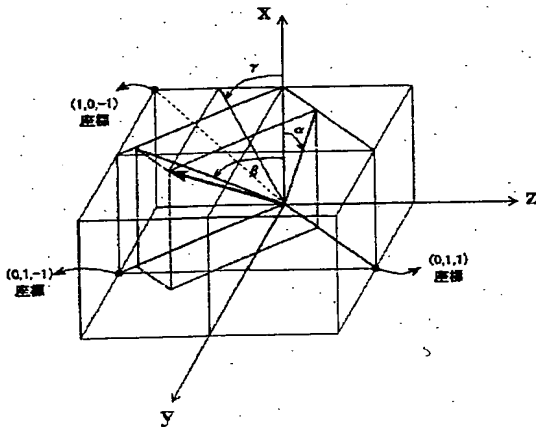
【発明の効果】以上のように、本発明の単結晶ウェーハは従来に比べてウェーハ厚さが薄くても、従来と同等にデバイスプロセスに耐え得る単結晶ウェーハとなる。したがって、単結晶原料のロス従来より著しく低減することができ、またこのようなシリコンウェーハを利用することにより、MIS型半導体装置、あるいは、製造コストを低減することが大きな課題とされている太陽電池セルを、低コストで提供することができる。

【図面の簡単な説明】

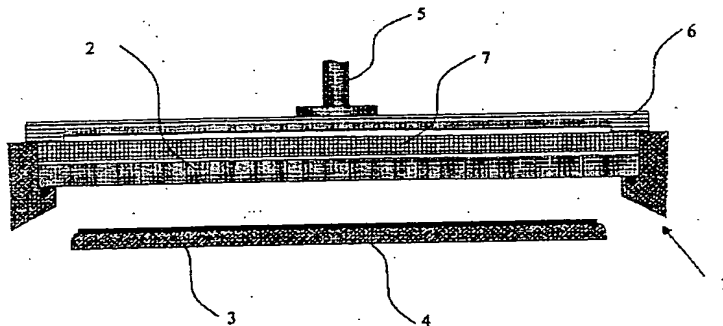
【図1】本発明の単結晶ウェーハの面方位を説明する説明図である。

【図2】本発明の単結晶ウェーハに酸化膜を形成するた\*

【図1】



【図2】



\*めのラジアルラインスロットアンテナを用いた装置の一例を示す図である。

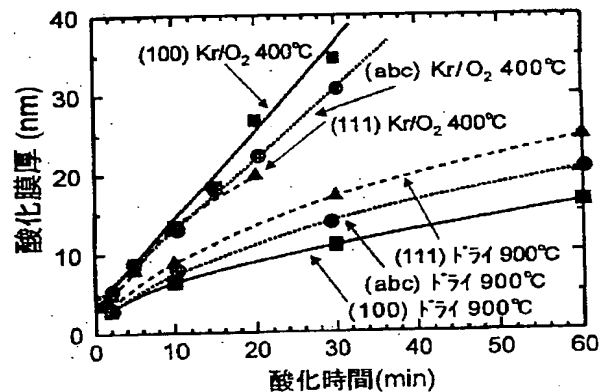
【図3】Kr/O<sub>2</sub> 高密度プラズマを用いたシリコンウェーハ表面酸化時の、Krを含有する酸化膜厚と酸化時間の関係を示した図である。

【図4】酸化膜の界面単位密度を低周波C-V測定から求めた結果を示す図である。

【符号の説明】

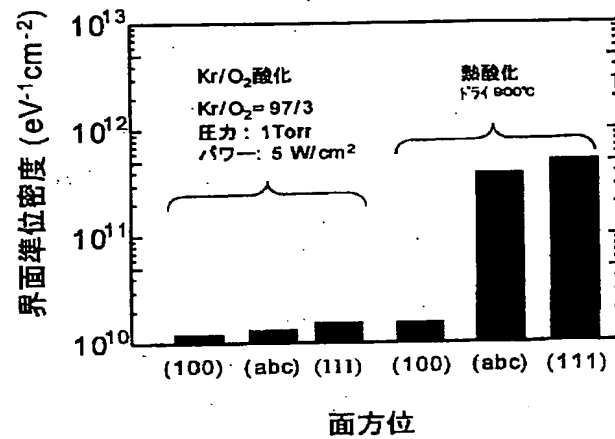
1…真空容器（処理室）、2…シャワープレート、3…基板、4…試料台、5…同軸導波管、6…ラジアルラインスロットアンテナ、7…誘電体板。

【図3】





【図4】



フロントページの続き

(72)発明者 須川 成利  
 宮城県仙台市青葉区荒巻字青葉05 東北大学大学院工学研究科電子工学科内

(72)発明者 伊藤 辰夫  
 群馬県安中市磯部2丁目13番1号 信越半導体株式会社磯部工場内

(72)発明者 金谷 晃一  
 群馬県安中市磯部2丁目13番1号 信越半導体株式会社磯部工場内

Fターム(参考) 4G077 AA02 AB02 BA04 FE04  
 5F051 AA02 CB18 DA03 DA17 GA04  
 GA15 HA01  
 5F058 BA20 BC02 BC04 BC08 BC10  
 BF08 BF29 BF31 BF37 BF62  
 BF65 BG03 BJ01

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The single crystal wafer characterized by being the field where the main front face of a single crystal wafer is equivalent to the field or this field where it has  $\alpha$  ( $0^\circ < \alpha < 90^\circ$ ) in the [011] directions, and it has whenever [ tilt-angle / of  $\gamma$  ( $0^\circ \leq \gamma < 45^\circ$ ) ] in the [01-1] direction to the [100] shafts of a single crystal in  $\beta$  ( $0^\circ < \beta < 90^\circ$ ), the [10-1] direction, or the [101] directions.

[Claim 2] The single crystal wafer indicated by claim 1 characterized by said single crystal wafer consisting of semi-conductor silicon.

[Claim 3] The single crystal wafer characterized by being the single crystal wafer indicated by claim 1 or claim 2, and being diameter (mm)  $\leq 3$  of the thickness (micrometer)/wafer of a wafer.

[Claim 4] The single crystal wafer characterized by forming an insulator layer in the front face of the single crystal wafer indicated by claim 2 or claim 3.

[Claim 5] The single crystal wafer indicated by claim 4 characterized by being the silicon oxide in which said insulator layer contains Kr.

[Claim 6] The single crystal wafer with which said insulator layer was indicated by claim 4 to which it is characterized by being Ar or Kr, and a silicon nitride containing hydrogen.

[Claim 7] The photovoltaic cell produced using the single crystal wafer indicated by any 1 term of claim 1 thru/or claim 6.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the MIS mold semiconductor device using the wafer, and a photovoltaic cell further about the wafer which can make thin thickness of the single crystal wafer used for a device process compared with the former.

[0002]

[Description of the Prior Art] The single crystal wafer represented by silicon (Si) and gallium arsenide (GaAs) is obtained by slicing the single crystal rod (ingot) produced by the Czochralski method (CZ process) or the floating zone method (FZ method) in the shape of a wafer. Therefore, thickness of the wafer sliced is made as thin as possible, or to obtain more product wafers from one ingot is desired by [ which are depended on a slice ] processing it and lessening \*\*. That is, by reducing the processing loss of the thickness of a wafer, or a wafer manufacture process, the futility of a raw material was lost and the technical problem that a manufacturing cost is lowered is widely recognized from the former.

[0003] However, since it will become easy to generate a crack and KAKE in a wafer manufacture process or a device manufacture process if thickness of a wafer is only made thin, a certain amount of thickness (in for example, the case of a silicon wafer with a diameter of 200mm about 700-800 micrometers) is needed. Moreover, since there was a limit on slice equipment, the thing to depend on a slice and for which it is processed and \*\* is lessened had a limitation.

[0004] Moreover, it not only produces the loss of a raw material only in a wafer manufacture process, but in a device manufacture process, it produces it. Since the thickness of the wafer eventually mounted as a chip was about 100-200 micrometers, there is a process (back lap) which carries out thinning processing from the rear face of a wafer, and the raw material was consumed vainly also here.

[0005] On the other hand, high performance electrical properties, such as a low leak current characteristic, a low interface-state-density consistency, and high carrier impregnation resistance, and high-reliability are required of the gate dielectric film of the MIS (metal / insulator layer / silicon) mold transistor produced mainly using a silicon single crystal wafer. As a gate-dielectric-film formation technique which fills these demands, the thermal oxidation technique 800 degrees C or more which used the oxygen molecule and the water molecule has been used conventionally. It was a time of using conventionally the silicon wafer which has field bearing leaned about 4 degrees from the {100} sides of the silicon wafer with which a front face consists of {100} sides, or a single crystal that use this thermal oxidation technique and good oxide film / silicon interface property, the proof-pressure property of an oxide film, and a leak current characteristic are acquired.

[0006] When the gate oxide which used the thermal oxidation technique for the silicon wafer which consists of other other field bearings was formed, electrical characteristics -- the interface-state-density consistency of an oxide film / silicon interface is high, and the proof-pressure property of an oxide film and a leak current characteristic are bad -- were inferior. Therefore, the wafer with which the silicon wafer with which semiconductor devices, such as an MIS mold transistor, are formed has field bearing to which about 4 degrees was leaned from the {100} sides of the wafer the front face of whose is {100} sides conventionally, and a single crystal was used.

[0007] However, since the {110} sides which are a cleavage plane appear perpendicularly to a front

face, a crack, KAKE, a slip rearrangement, etc. tend to generate in a process the silicon wafer with which a front face consists of {100} sides. Therefore, usually for the diameter of 200mm, the about 600-700-micrometer thing was used in 700-800 micrometers and the diameter of 150mm, and the wafer thickness of the silicon wafer which consists of {100} sides was the same also about the wafer which has field bearing leaned about 4 degrees from the {100} sides of a single crystal.

[0008] The technique of forming a good insulator layer was developed, without being dependent on field bearing of the front face of a silicon wafer in recent years (refer to 2000 Symposium on VLSI Technology, Honolulu, Hawaii, June 13th-15th, and 2000 "Advantage of Radical Oxidation for Improving Reliability of Ultra-Thin Gate Oxide"). Therefore, according to such technique, it can be said to be that it became unnecessary to limit field bearing of the wafer which produces an MIS mold semiconductor device to {100} sides.

[0009]

[Problem(s) to be Solved by the Invention] Then, from the relation between field bearing and the crack easy of a wafer, even if wafer thickness is thin compared with the former, this invention aims at reducing the loss of a single crystal by providing the former and an EQC with the single crystal wafer which can bear a device process, in order to utilize the technique of forming a good insulator layer effectively, without being dependent on this field bearing. Moreover, it aims at offering an MIS mold semiconductor device or the photovoltaic cell by which it is made the big technical problem to reduce a manufacturing cost by low cost by using the silicon wafer which has pile side bearing in such a crack.

[0010]

[Means for Solving the Problem] As for this invention which solves the above-mentioned technical problem, the main front face of a single crystal wafer receives the [100] shafts of a single crystal. It is the single crystal wafer characterized by being a field equivalent to the field or this side which has  $\alpha$  ( $0 \text{ degree} < \alpha < 90 \text{ degrees}$ ) in the [011] directions, and has whenever [ tilt-angle / of  $\gamma$  ( $0 \text{ degree} \leq \gamma < 45 \text{ degrees}$ ) ] in the [01-1] direction in  $\beta$  ( $0 \text{ degree} < \beta < 90 \text{ degrees}$ ), the [10-1] direction, or the [101] directions (claim 1).

[0011] Since it becomes field bearing to which it inclined from all the {110} sides that are easy to carry out cleavage, compared with the single crystal wafer of the conventional {100} sides, it crack-comes to be hard of the front face of such a single crystal wafer to the stress from the outside. Therefore, since a wafer with thickness thinner than before is producible, wafer number of sheets producible from one single crystal ingot increases, and manufacturing-cost reduction is attained.

[0012] In this case, a single crystal wafer shall consist of semi-conductor silicon (claim 2). Thus, if a single crystal wafer is semi-conductor silicon, since it is the semi-conductor most used widely now, the effectiveness by reduction of a manufacturing cost will become very large.

[0013] In this case, it shall be diameter (mm)  $\leq 3$  of the thickness (micrometer)/wafer of a wafer (claim 3). Thus, since the single crystal wafer of this invention becomes the thing excellent in the mechanical strength, the wafer thickness to the diameter of a wafer called diameter (mm)  $\leq 3$  of the thickness (micrometer)/wafer of a wafer which was not able to be realized can use it as a very thin wafer conventionally. Therefore, the effectiveness by reduction of a manufacturing cost will become bigger.

[0014] In this case, it is desirable to have formed the insulator layer in the front face of a single crystal wafer (claim 4). Thus, the cleavage of a wafer can be controlled if an insulator layer is formed in one [ at least ] front face using the silicon single crystal wafer of this invention. It is higher for cleavage depressor effect to form the insulator layer all over the wafer. Moreover, using such a wafer, an MIS semiconductor device is producible, it is thin and a device can be produced by low cost on a pile wafer to a crack.

[0015] In this case, it is desirable that they shall be the silicon oxide (claim 5) in which said insulator layer contains Kr, or the silicon nitride in which said insulator layer contains Ar or Kr, and hydrogen (claim 6). Thus, a good insulator layer is obtained, without being dependent on field bearing, if insulator layers are the silicon oxide containing Kr or Ar or Kr, and a silicon nitride containing hydrogen.

[0016] Furthermore, a photovoltaic cell is producible using the single crystal wafer of such this invention (claim 7). Since the solar battery has seldom spread for the height of the manufacturing

cost, reinforcement is higher than before, if the wafer of this invention with which processing of a thin silicon single crystal wafer is attained is used, lowering of the manufacturing cost of a solar battery can be aimed at, and the effectiveness is large.

[0017] Hereafter, this invention is further explained to a detail. In order that this invention person might receive that the technique of forming a good insulator layer was developed and might use this as mentioned above, without being dependent on field bearing of the front face of a silicon wafer, he paid his attention to the relation between field bearing of a wafer, and a crack easy. That is, since the reason which limits field bearing of a device property top wafer was lost, even if it produced the wafer with thickness thinner than before by choosing field bearing where reinforcement is high as much as possible, it conceived that the wafer number of sheets by which the thing of the former and equivalent level is obtained and the crack of a wafer and generating of KAKE are acquired from one ingot as a result could be made to increase.

[0018] By the way, as field bearing of the silicon wafer with which a device is produced, while a low index like [ for many years ] {100} sides or {111} sides was used, the wafer of field bearing which inclined from this field bearing was also used. For example, using the field which carried out abundance dip of the invention indicated by JP,56-109896,A, JP,3-61634,B, and JP,8-26891,A about {100} sides or {111} sides to one {110} side is indicated. However, this inclines only about one {110} side and it is hard to say it to a crack as a pile wafer. Moreover, the above-mentioned technique was a thing about generating prevention of a process induction crystal defect, or generating prevention of the defect at the time of epitaxial growth.

[0019] if a saw mark and the direction of cleavage agree on the other hand in case a wire saw cuts a single crystal by JP,9-262825,A about the relation between field bearing and the crack easy of a wafer -- a crack -- being easy -- things are indicated. However, the cleavage planes currently taken into consideration here were only {110} sides which intersect perpendicularly with {100} sides, and were only a wafer with which it is not considered at all about {100} sides and the {110} sides which have the include angle of 45 degrees, but the wafer cut down also consists of low-index sides, such as {100} sides.

[0020] In order to produce a pile wafer to a crack, it was only insufficient for this invention person to take into consideration only the {110} sides which intersect perpendicularly with {100} sides, and he conceived what needs to be taken into consideration also about {100} sides and the {110} sides which have the include angle of 45 degrees, and completed this invention.

[0021]

[Embodiment of the Invention] Although explained hereafter, referring to a drawing about the gestalt of operation of this invention, this invention is not limited to these. Drawing 1 is a drawing explaining field bearing of the single crystal wafer in this invention. The arrow head (vector) shown by the thick wire in drawing 1 shows field bearing (the direction of a normal on the front face of a wafer) of the single crystal wafer of this invention. To [100] shafts (X-axis), in the [011] directions, it has  $\beta$  ( $0^\circ < \beta < 90^\circ$ ) in  $\alpha$  ( $0^\circ < \alpha < 90^\circ$ ) and the [01-1] direction, and has whenever [ tilt-angle / of  $\gamma$  ( $0^\circ \leq \gamma < 45^\circ$ ) ] in the [10-1] direction.

[0022] That is, the single crystal wafer which consists of this field bearing will have the field which is a cleavage plane (011), a field (01-1), and the field where only include angles  $\alpha$ ,  $\beta$ , and  $\gamma$  inclined from the field (10-1), respectively, and the mechanical strength to the stress from the outside becomes high compared with the wafer of field bearing of the conventional low index.

[0023] Here, since it becomes  $\gamma = 0^\circ$  in  $\alpha = \beta$ , if the cross section of the wafer of such an inclined plane is seen from [010], the field which is a cleavage plane (10-1), and a field (101) will turn into a field of the bilateral symmetry which has 45 degrees to a field (100), respectively. Therefore, if a difference does not have the effective Bond number of a crystal in every field bearing, it will be thought that  $\gamma = 0^\circ$  becomes the highest as reinforcement. However, it is thought that actual reinforcement is decided by both field bearing and the effective Bond number, and high reinforcement is obtained, even if  $\gamma = 0^\circ$  cannot say that it is the optimal but the range of it is  $0^\circ < \gamma < 45^\circ$  generally, since the effective Bond number has a difference by field bearing. Incidentally, in a field (111), (the 110th page), and a field (100), as for the effective Bond number in the case of a silicon single crystal, it knows  $2, 9.6 \times 10^{14}$

piece/cm<sup>2</sup>, and  $11.8 \times 10^{14}$  things [  $6.8 \times 10^{14}$  pieces // cm / 2 ] /cm, respectively.

[0024] Moreover, gamma at the time of  $\alpha > \beta$  means not the tilt angle of the [10-1] direction shown in drawing 1 but the tilt angle of the [101] directions. In addition, as field bearing equivalent to the single crystal wafer of drawing 1, if the symmetry of a crystal is taken into consideration, the 3rd page exists in the direction which rotated 90 degrees of vectors of drawing 1 at a time at yz flat surface. What is necessary is to lean the single crystal ingot produced on condition that usual to a predetermined include angle, and just to slice it, in order to produce the wafer which consists of such a specific inclined plane. In the case of the silicon single crystal, as crystal orientation of the ingot usually produced,  $\langle 110 \rangle$  and  $\langle 511 \rangle$  are known as producible crystal orientation, without there being  $\langle 100 \rangle$  and  $\langle 111 \rangle$ , in addition causing superfluous deformation of a crystal. Moreover, since a crystal with an off-angle type can also be pulled up by using the seed crystal to which the off-angle type of abundance extent was attached beforehand as seed crystal at the time of pulling up a single crystal, the bearing adjustment at the time of a slice can also be simplified using such a crystal.

[0025] Since the front face of such a single crystal wafer of this invention serves as field bearing to which it inclined from all the {110} sides that are easy to carry out cleavage, it cannot break easily to the stress from the outside compared with the single crystal wafer of the conventional {100} sides, and can produce a wafer with thin thickness.

[0026] For example, when a single crystal wafer is produced from semi-conductor silicon, thickness is able for that that whose thickness is about 700-800 micrometers needed to be produced with the wafer with a diameter of 200mm with the silicon single crystal wafer of the conventional {100} sides to be able to make it thinner than this with the single crystal wafer of this invention, for example, to consider as a thing 600 micrometers or less with the wafer which is the diameter of 200mm. Therefore, wafer number of sheets producible from one single crystal ingot increases, and manufacturing-cost reduction is attained.

[0027] Next, how to form gate dielectric film required for an MIS mold semiconductor device is explained using a silicon wafer with such an inclined plane (it is hereafter indicated as a field (abc)). If an insulator layer is formed by the following approaches, an insulator layer without the field bearing dependency in which the property of gate dielectric film is not certainly inferior compared with the former can be formed.

[0028] Drawing 2 is drawing showing an example of the equipment using the radial line slot antenna for forming an oxide film to the single crystal wafer of this invention. The new description is in this operation gestalt to use Kr as plasma excitation gas the sake [ at the time of oxide-film formation ]. The inside of a vacuum housing (processing room) 1 is made into a vacuum, Kr gas and O<sub>2</sub> gas are introduced from the shower plate 2, and the pressure of the processing interior of a room is set as 1 Torr (about 133Pa) extent.

[0029] The substrate 3 of circle configurations, such as a silicon wafer, is placed on the sample base 4 with a heating device, and it sets up so that the temperature of a sample may become 400 degrees C. This temperature setting out can be made into within the limits of about 200 - 550 degrees C. From the coaxial waveguide 5, it lets the radial line slot antenna 6 and the dielectric plate 7 pass, 2.45GHz microwave is supplied to the processing interior of a room, and the plasma of high density is generated to the processing interior of a room. Moreover, if the frequency of the microwave to supply is in the range of 900MHz or more 10GHz or less extent, it can choose any frequency.

[0030] Spacing of the shower plate 2 and a substrate 3 is set to 6cm with this operation gestalt. Membrane formation of this spacing with the more nearly high-speed narrower one is attained. Although this operation gestalt showed the example which formed membranes using the plasma equipment which used the radial line slot antenna, microwave may be introduced into the processing interior of a room using other approaches.

[0031] In the high density excitation plasma with which Kr gas and O<sub>2</sub> gas were mixed, Kr\* in a medium excitation state and O dyad collide, and atom-like oxygen O\* occurs efficiently. A substrate front face oxidizes by this atom-like oxygen. Oxidation on the conventional front face of silicon is performed by an H<sub>2</sub>O molecule and O dyad, and although processing temperature was very as high as 800 degrees C or more, the oxidation by the atom-like oxygen of this invention becomes possible at 550 degrees C or less and temperature low enough.

[0032] In order to enlarge Kr\* and the collision opportunity of O<sub>2</sub>, the higher one of the processing

room pressure force is desirable, but if it is made not much high, generated  $O^*$  will collide and it will return to  $O$  dyad. this invention persons maintained the pressure ratio of the processing interior of a room at 3% of  $Kr$ 97% oxygen, when the oxide-film thickness which grows by the silicon substrate temperature of 400 degrees C when changing the gas pressure of a processing room and oxidation treatment for 10 minutes was measured and the gas pressure of a processing room was 1 Torr, the oxide film became thick most, and it turned out that this pressure or the oxidation conditions of that near are desirable. This flow and pressure requirement did not change field bearing of substrate silicon in respect of the field (100) (111), but it turned out also in the field (abc) that it is the same. [0033] The relation between the oxide-film thickness containing  $Kr$  at the time of silicon wafer scaling which used the  $Kr/O_2$  high-density plasma, and oxidation time amount is shown in drawing 3. The silicon substrate shows the thing of a field bearing (100) side, a field (111), and (abc) a field. The oxidation time dependency by the 900-degree C conventional dry thermal oxidation is simultaneously shown in drawing 3. The quick thing of the oxidation rate [ the substrate temperature of 400 degrees C and ] of the  $Kr/O_2$  high-density plasma oxidation in processing internal pressure force 1 Torr is clearer than the oxidation rate of the formation of atmospheric pressure dry cleaning  $O$  diacid with a substrate temperature of 900 degrees C.

[0034] By introducing silicon substrate scaling using the  $Kr/O_2$  high-density plasma, the productivity of a surface oxidation technique can also be raised substantially. In order for  $O$  dyad and an  $H_2O$  molecule to pass through the oxide film formed in the front face by diffusion with the conventional elevated-temperature thermal oxidation technique, to reach the interface of silicon/silicon oxide and to contribute to oxidation, Although it was the common sense which rate-limiting [ of the oxidation rate ] is carried out by the diffusion rate of  $O_2$  and the oxide film of an  $H_2O$  molecule, and is increased by  $t^{1/2}$  to the oxidation time amount  $t$ , in the  $Kr/O_2$  high-density plasma oxidation of this invention, oxide-film thickness of an oxidation rate is linear to 35nm. This has the very large diffusion rate of atom-like oxygen in silicon oxide, and it means passing through silicon oxide free.

[0035] the depth direction distribution of  $Kr$  consistency in the silicon oxide formed in the above-mentioned procedure -- total reflection fluorescence X rays -- a spectrum -- it investigated using equipment.  $Kr$  consistency decreases, so that oxide-film thickness becomes a thin field, and in a silicon oxide front face,  $Kr$  exists by about [  $2 \times 10^{11} \text{cm}^{-2}$  ] two consistency. That is,  $Kr$  concentration in the film 4nm or more has [ this silicon film ] fixed thickness, and it is the film with which  $Kr$  concentration is decreasing toward the interface of silicon/silicon oxide.

[0036] Drawing 4 is the result of asking for the interface-state-density consistency of an oxide film from low frequency C-V measurement. Formation of silicon oxide formed membranes at the substrate temperature of 400 degrees C using the equipment shown in drawing 2. The partial pressure of the oxygen in rare gas fixed the pressure of the processing interior of a room to 1 Torr 3%. The interface-state-density consistency of the thermal oxidation film which formed membranes in the ambient atmosphere of 100% of 900-degree-C oxygen for the comparison is also shown simultaneously. The interface-state-density consistency of the oxide film which formed membranes using  $Kr$  gas is equivalent to the interface-state-density consistency of the thermal oxidation film in which the field (100), the field (111), and (abc) the field were formed to the field (100) which was low and formed membranes in the 900-degree C dry oxidation ambient atmosphere. Therefore, it turns out that a good oxide film with a low interface ranking consistency is similarly obtained in a field (abc). In addition, the interface-state-density consistency of the thermal oxidation film formed in the field (111) is large single or more figures compared with these.

[0037] The good property as 900-degree C thermal oxidation that the oxide film by silicon substrate scaling using the  $Kr/O_2$  high-density plasma is the same was acquired about electrical characteristics, such as the amount QBD (Charge-to-Breakdown) of charges until the silicon oxide when passing the proof-pressure property of this oxide film, a leak property, hot carrier resistance, and a stress current results in destruction, and a dependability property.

[0038] as mentioned above, the oxide film which grew by the  $Kr/O_2$  high-density plasma is equivalent to the elevated-temperature thermal oxidation film of the conventional field (100) also in a field (abc), without being influenced in the field bearing, in spite of having oxidized at the low temperature of 400 degrees C -- it is -- carrying out -- the more excellent property is shown. That

such effectiveness is acquired originates also in Kr containing in an oxide film. When Kr contains in an oxide film, the stress in the inside of the film or Si/SiO<sub>2</sub> interface is eased, the charge in the film and an interface-state-density consistency are reduced, and it thinks because the electrical characteristics of silicon oxide are improved substantially. It is thought that that two or less  $[5 \times 10^{11} \text{ cm}^{-2}]$  Kr is especially included in surface density has contributed to the improvement of the electrical characteristics of silicon oxide and a dependability property. The MIS transistor which used this gate oxide shows a good property in every field bearing, and can acquire a property equivalent to a field (100) also in a field (abc).

[0039] In addition, in order to realize the oxide film of this invention, another equipment for plasma processes which enables oxide-film formation of the low temperature which used the plasma other than the equipment of drawing 2 may be used. For example, it is also possible to form with a two-step shower plate mold plasma process unit with the 2nd different gas-evolution means from the 1st gas-evolution means which emits Kr gas for exciting the plasma by microwave, and said 1st gas-evolution means to emit oxygen gas.

[0040] Next, nitride formation of the low temperature using the plasma is described. Nitride formation equipment is almost the same as what was shown in drawing 2. In this operation gestalt, Ar or Kr is used as plasma excitation gas a sake [at the time of nitride formation]. The inside of a vacuum housing (processing room) 1 is made into a vacuum, Ar gas and NH<sub>3</sub> gas are introduced from the shower plate 2, and the pressure of the processing interior of a room is set as 100mTorr extent. The substrate 3 of circle configurations, such as a silicon wafer, is placed on the sample base 4 with a heating device, and it sets up so that the temperature of a sample may become 500 degrees C. What is necessary is just to make this temperature setting out into within the limits of about 200 - 550 degrees C.

[0041] From the coaxial waveguide 5, it lets the radial line slot antenna 6 and the dielectric plate 7 pass, 2.45GHz microwave is supplied to the processing interior of a room, and the plasma of high density is generated to the processing interior of a room. Moreover, the frequency of the microwave to supply should just be in the range of 900MHz or more 10GHz or less extent. Spacing of the shower plate 2 and a substrate 3 is set to 6cm by this example. Membrane formation of this spacing with the more nearly high-speed narrower one is attained.

[0042] Although this operation gestalt showed the example which formed membranes using the plasma equipment which used the radial line slot antenna, microwave may be introduced into the processing interior of a room using other approaches. Moreover, although Ar is used for plasma excitation gas, the same result can be obtained even if it uses Kr. Moreover, although NH<sub>3</sub> is used for plasma process gas, mixed gas, such as N<sub>2</sub> and H<sub>2</sub>, may be used.

[0043] In Ar or the high density excitation plasma of the mixed gas of Kr and NH<sub>3</sub> (or N<sub>2</sub>, H<sub>2</sub>), NH\* radical occurs efficiently by Ar\* or Kr\* in a medium excitation state. A substrate front face is nitrified by this NH\* radical. According to such silicon nitriding, field bearing of silicon is not chosen but it becomes possible to form a quality nitride at low temperature.

[0044] In silicon nitride formation of this invention, it is one important requirement that hydrogen exists. When hydrogen exists in the plasma, the dangling bond of the inside of a silicon nitride and an interface forms Si-H and N-H coupling, termination is carried out, and, as a result, the electron trap of a silicon nitride and an interface is lost. It is checked by measuring an infrared absorption spectrum and an X-ray-photoelectron-spectroscopy spectrum, respectively that Si-H association and N-H coupling exist in the nitride of this invention. In hydrogen existing, the hysteresis of valve flow coefficient property is also lost and silicon / silicon nitride interface consistency is also low stopped with  $3 \times 10^{10} \text{ cm}^{-2}$ . By making the partial pressure of hydrogen gas into 0.5% or more, in forming a silicon nitride using rare gas (Ar or Kr) and the mixed gas of N<sub>2</sub>/H<sub>2</sub>, the electron and hole trap in the film decrease rapidly. The specific inductive capacity of the silicon nitride of this operation gestalt is 7.9, and the twice [about] as many thing as silicon oxide was obtained.

[0045] In order to realize the nitride of this invention, another equipment for plasma processes which enables nitride formation of the low temperature which used the plasma other than the equipment of drawing 2 may be used. For example, it is also possible to form with a two-step shower plate mold plasma process unit with the 2nd different gas-evolution means from the 1st gas-evolution means which emits Ar or Kr gas for exciting the plasma by microwave, and said 1st gas-evolution means to



emit NH<sub>3</sub> (or N<sub>2</sub>/H<sub>2</sub> gas) gas.

[0046] Next, a silicon wafer with a field like this invention (abc) explains how to manufacture a photovoltaic cell. As already stated, the mechanical strength of the silicon wafer with which the main front face consists of a field (abc) is high. Therefore, it becomes possible to slice more thinly than the thickness (it is about 400-600 micrometers at the diameter of 100-150mm) which had sliced the silicon single crystal ingot for solar batteries conventionally, for example, is less than [ 300-450 micrometers or it ] for the diameter of 100-150mm. Therefore, since the part wafer yield improves, a cost cut becomes possible.

[0047] Although a slice is performed by a wire saw and the inner circumference cutting edge, distortion has arisen into the crystal by the mechanical shock at the time of a slice. This distortion degrades the electrical characteristics of a wafer and also affects the property of a cell. Therefore, in order to remove this distortion layer, about 10-20-micrometer chemical etching is performed. It is common that such etching is performed by the mixed acid of HF and HNO<sub>3</sub>, and etching is performed, rotating a carrier, in order to put several ten wafers into the carrier for etching and to etch into the homogeneity within a field in that case. Therefore, it will be a pile to a crack that wafer reinforcement is high also in such an etching process, even if it acts advantageously and is a thin wafer. Moreover, etching by the alkali called the texture processing for gathering conversion efficiency is also performed.

[0048] Then, since it is the silicon wafer of p mold, by diffusing the impurity of n mold in this, usually being used forms pn junction and it produces a photovoltaic cell through electrode formation and formation of an antireflection film.

[0049] Moreover, sequential formation of n type layer, p type layer, and the n type layer is carried out with epitaxial growth on the front face of p mold wafer, and the tandem construction of a pnpn mold can attain 20% or more of conversion efficiency, and output voltage 1.5V.

[0050] Thus, even if the wafer with which the main front face of this invention consists of a field (abc) makes thickness thin, it can bear the process which fully produces a device and a solar battery, and it can aim at these remarkable manufacture cost cuts.

[0051] In addition, this invention is not limited to the above-mentioned operation gestalt. The above-mentioned operation gestalt is instantiation, and no matter it may be what thing which has the same configuration substantially with the technical thought indicated by the claim of this invention, and does the same operation effectiveness so, it is included by the technical range of this invention.

[0052] For example, although the case where a single crystal wafer consisted of semi-conductor silicon was mentioned as the example and the above-mentioned operation gestalt explained it, this invention is not limited to this, can be applied also about the single crystals and compound semiconductors other than silicon, and is contained in the range of this invention.

[0053]

[Effect of the Invention] As mentioned above, the single crystal wafer of this invention turns into a single crystal wafer which can bear a device process at the former and an EQC, even if wafer thickness is thin compared with the former. Therefore, an MIS mold semiconductor device or the photovoltaic cell by which it is made the big technical problem to reduce a manufacturing cost can be offered by low cost by being able to reduce the loss of a single crystal raw material more remarkably than before, and using such a silicon wafer.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is an explanatory view explaining field bearing of the single crystal wafer of this invention.

[Drawing 2] It is drawing showing an example of the equipment using the radial line slot antenna for forming an oxide film to the single crystal wafer of this invention.

[Drawing 3] It is drawing having shown the relation between the oxide-film thickness containing Kr at the time of silicon wafer scaling using the Kr/O<sub>2</sub> high-density plasma, and oxidation time amount.

[Drawing 4] It is drawing showing the result of having asked for the interface-state-density consistency of an oxide film from low frequency C-V measurement.

[Description of Notations]

1 -- Vacuum housing (processing room) 2 -- Shower plate 3 [ 5 -- Coaxial waveguide 6 -- A radial line slot antenna, 7 -- Dielectric plate. ] -- A substrate, 4 -- Sample base

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

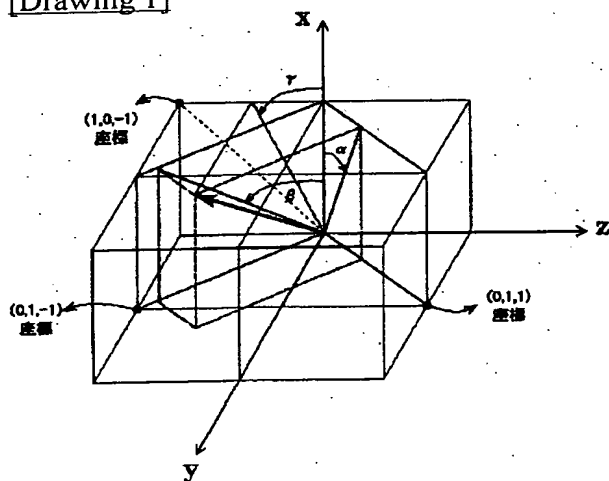
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

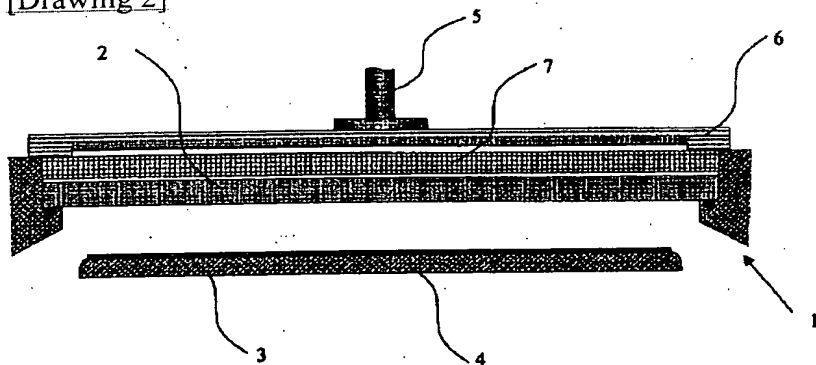
DRAWINGS

---

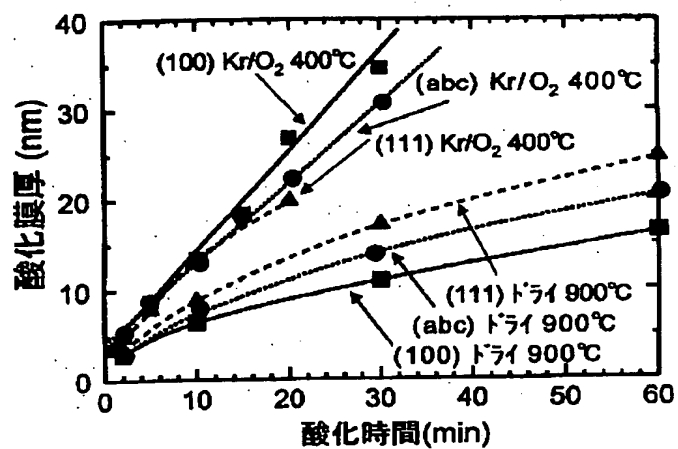
[Drawing 1]



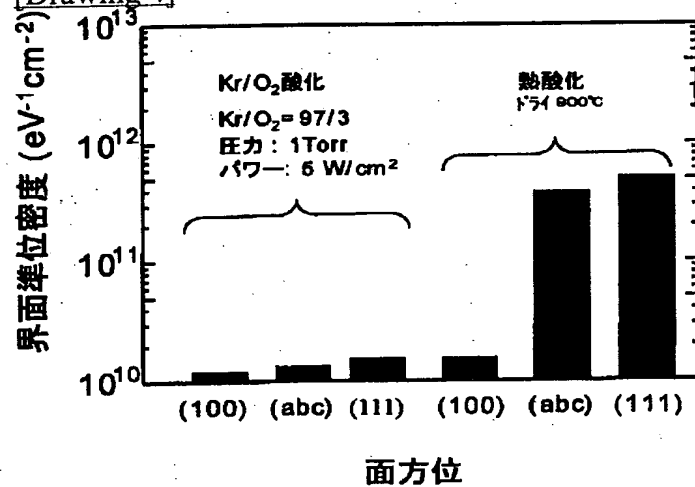
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]